

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11319883

Basic Patent (No,Kind,Date): JP 5206466 A2 19930813 <No. of Patents: 002>

THIN FILM TRANSISTOR AND ITS MANUFACTURE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): INOUE SATOSHI

IPC: \*H01L-029/784; H01L-027/12

CA Abstract No: 120(12)151296Y

Derwent WPI Acc No: C 93-291734

JAPIO Reference No: 170640E000082

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
<b>JP 5206466</b>	A2	19930813	JP 9212263	A	19920127	(BASIC)
JP 3206069	B2	20010904	JP 9212263	A	19920127	

Priority Data (No,Kind,Date):

JP 9212263 A 19920127

**CONSTITUTION:** A semiconductor thin film 1 in which source, drain and channel regions are to be formed is made, and hereon a first insulating film 2 to become a gate insulating film is provided, and through this a gate electrode 3 is provided on the semiconductor thin film 1 in the channel region. A second insulating film 31 is provided to cover this, and a third insulating film 71 is provided on the gate electrode 3 and the second insulating film 31 out of the same material as the first insulating film 2. Furthermore, a fourth insulating film 7 is provided on the first, second and third insulating film 2, 31, and 71. And the region where impurities to become donor or an acceptor are added of the semiconductor thin film 1 and the gate electrode 3 are spaced a distance smaller than the thickness of the second insulating film 31 apart.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-206466

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 29/784

27/12

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 N

審査請求 未請求 請求項の数4(全 5 頁)

(21)出願番号

特願平4-12263

(22)出願日

平成4年(1992)1月27日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

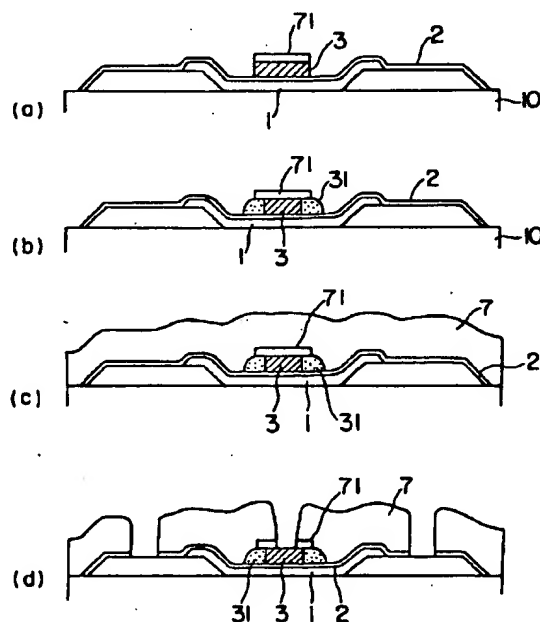
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 薄膜トランジスタのオフ電流を低減し、コンタクト開孔プロセスを簡易にする。

【構成】 本発明の薄膜トランジスタによれば、ドナーあるいはアクセプタとなる不純物を添加した半導体薄膜に対して、ゲート電極が陽極酸化により所定量だけオフセットされるので、オフ電流の低減が可能になる。そして、例えば酸化シリコンからなる第3の絶縁膜をゲート電極上に設けたので、これがコンタクト開孔プロセスにおいてゲート絶縁膜と同時にエッチングされ、従来のコンタクト開孔プロセスを使用することが可能になる。



## 【特許請求の範囲】

【請求項1】 ソース、ドレインおよびチャネル領域を形成すべき半導体薄膜と、

この半導体薄膜上に設けられたゲート絶縁膜となるべき第1の絶縁膜と、

前記チャネル領域の前記半導体薄膜上に前記第1の絶縁膜を介して設けられたゲート電極と、

このゲート電極の側面を覆うように設けられた第2の絶縁膜と、

前記ゲート電極および前記第2の絶縁膜上に前記第1の絶縁膜と同一の材料で設けられた第3の絶縁膜と、

前記第1、第2および第3の絶縁膜上に設けられた第4の絶縁膜とを備え、

前記半導体薄膜のドナーあるいはアクセプタとなる不純物を添加した領域と前記ゲート電極が前記第2の絶縁膜の厚さより小さい距離だけ隔てて構成されていることを特徴とする薄膜トランジスタ。

【請求項2】 前記第2の絶縁膜が前記ゲート電極自身の側壁を酸化して形成されている請求項1記載の薄膜トランジスタ。

【請求項3】 ソース、ドレインおよびチャネル領域を形成すべき半導体薄膜と、この半導体薄膜上に設けられたゲート絶縁膜となるべき第1の絶縁膜と、この第1の絶縁膜を介して前記チャネル領域の前記半導体薄膜上に設けられたゲート電極と、このゲート電極の上面に設けられた前記第1の絶縁膜と同一の材料からなる第3の絶縁膜とを順次に形成する第1の工程と、

前記ゲート電極をマスクとしてドナーあるいはアクセプタとなる不純物を前記半導体薄膜にドーピングする第2の工程と、

前記ゲート電極自身の側壁を酸化して第2の絶縁膜を形成する第3の工程と、

前記第1、第2および第3の絶縁膜上に第4の絶縁膜を形成する第4の工程と、

ソース、ドレインおよびゲート電極用のコンタクト領域で前記第1、第3および第4の絶縁膜をエッチングすることにより半導体薄膜および前記ゲート電極を露出させる第5の工程とを備えることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 前記半導体薄膜はシリコンからなり、前記第1、第3および第4の絶縁膜は酸化シリコンからなり、前記第2の絶縁膜はタンタルからなるゲート電極の側壁を陽極酸化した酸化タンタルからなる請求項3記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス方式の液晶ディスプレイ（LCD）やメモリ集積回路に利用される薄膜トランジスタ（TFT）およびその製造方法に関する。

【0002】

【従来の技術】 薄膜トランジスタにおいては、いわゆるオフ電流を低減させることが重要であり、図2のような種々の手法が従来から試みられている。同図（a）は、半導体薄膜1上にゲート絶縁膜2を形成し、その上に形成されたゲート電極3およびマスク材4を介してイオン注入によりソース領域1Sおよびドレイン領域1Dを形成した後、ゲート電極3をエッチングして細らせる。これによれば、ゲート電極3のエッチング分だけのオフセットが得られるので、オフ電流の低減が可能である。

【0003】 同図（b）は、ゲート電極3の側壁に絶縁膜5を設けてイオン注入することにより、オフセット構造あるいはLDD構造を実現するものであり、同図

（c）はマスク材6を設けてイオン注入することにより、ゲート電極3とソース領域1Sおよびドレイン領域1Dの間に距離を持たせるものである。いずれによっても、オフ電流の低減が可能である。

【0004】 ところで、本出願人は、このようなオフセット構造あるいはLDD構造を実現するに際して、ゲート電極3としてタンタルを用い、これを陽極酸化する新規な技術の特許出願した（平成3年5月8日、未公開）。図2（d）はこれを示している。すなわち、まずゲート絶縁膜2上にゲート電極3を形成し、これをマスクとしてイオン注入することにより、不純物を添加した半導体薄膜1からなるソース領域1S、ドレイン領域1Dを形成する。しかる後、陽極酸化によって $Ta_2O_5$ の絶縁膜31を形成すると、ゲート電極3が細らされてオフセット構造が得られる。

【0005】

【発明が解決しようとする課題】 しかし、上記の特許出願の技術では、コンタクト開孔プロセスが困難になる問題点があった。これを、図3の工程図により説明する。まず、ガラスなどの基板10上にポリシリコンからなる半導体薄膜1を形成し、ゲート絶縁膜2を形成する。次に、タンタルからなるゲート電極3を形成し、これをマスクにイオン注入する。しかる後、ゲート電極3を陽極酸化して $Ta_2O_5$ の絶縁膜31を形成し、全面に $SiO_2$ の絶縁膜7を形成する（同図（a）参照）。

【0006】 次に、コンタクト開孔のためにレジスト膜8を塗布してパターンニングし（同図（b）参照）、 $SiO_2$ の絶縁膜7をエッチングする。これにより、ソース領域1Sおよびドレイン領域1Dの半導体薄膜1と、 $Ta_2O_5$ の絶縁膜31とが露出されてコンタクトを取ることが可能になる。

【0007】 しかし、 $Ta_2O_5$ の絶縁膜31のエッチングは $CF_4/O_2$ を用いたCDE（化学的気相エッチング）なので、 $Ta_2O_5$ の絶縁膜31と同時にソース領域1Sおよびドレイン領域1Dを構成するポリシリコンも同時にエッチングされてしまう。このため、従来から確立されているコンタクト開孔プロセスを用いること

ができない欠点があった。本発明は、かかる従来技術の問題点を解決することを課題としている。

#### 【0008】

【課題を解決するための手段】本発明にかかる薄膜トランジスタは、ソース、ドレインおよびチャネル領域を形成すべき半導体薄膜と、この半導体薄膜上に設けられたゲート絶縁膜となるべき第1の絶縁膜と、この第1の絶縁膜を介してチャネル領域の半導体薄膜上に設けられたゲート電極と、このゲート電極の側面を覆うように設けられた第2の絶縁膜と、ゲート電極および第2の絶縁膜上に第1の絶縁膜と同一の材料で設けられた第3の絶縁膜と、第1、第2および第3の絶縁膜上に設けられた第4の絶縁膜とを備え、半導体薄膜のドナーあるいはアクセプタとなる不純物を添加した領域とゲート電極が第2の絶縁膜の厚さより小さい距離だけ隔てて構成されていることを特徴とする。

【0009】また、本発明に係る薄膜トランジスタの製造方法は、ソース、ドレインおよびチャネル領域を形成すべき半導体薄膜と、この半導体薄膜上に設けられたゲート絶縁膜となるべき第1の絶縁膜と、この第1の絶縁膜を介してチャネル領域の半導体薄膜上に設けられたゲート電極と、このゲート電極の上面に設けられた第1の絶縁膜と同一の材料からなる第3の絶縁膜とを順次に形成する第1の工程と、ゲート電極をマスクとしてドナーあるいはアクセプタとなる不純物を半導体薄膜にドーピングする第2の工程と、ゲート電極自身の側壁を酸化して第2の絶縁膜を形成する第3の工程と、第1、第2および第3の絶縁膜上に第4の絶縁膜を形成する第4の工程と、ソース、ドレインおよびゲート電極用のコンタクト領域で第1、第3および第4の絶縁膜をエッチングすることにより半導体薄膜およびゲート電極を露出させる第5の工程とを備えることを特徴とする。ここで、半導体薄膜はシリコンからなり、第1、第3および第4の絶縁膜は酸化シリコンからなり、第2の絶縁膜はタンタルからなるゲート電極の側壁を陽極酸化した酸化タンタルからなるものとするのが望ましい。

#### 【0010】

【作用】本発明の薄膜トランジスタによれば、ドナーあるいはアクセプタとなる不純物を添加した半導体薄膜に対して、ゲート電極が所定量だけオフセットされるので、オフ電流の低減が可能になる。そして、例えば酸化シリコンからなる第3の絶縁膜をゲート電極の上面に設けたので、これがコンタクト開孔プロセスにおいて、ゲート絶縁膜と同時にエッチングされるように働き、従って製造工程において、従来のコンタクト開孔プロセスを使用することが可能になる。

#### 【0011】

【実施例】以下、添付図面により本発明の一実施例を説明する。なお、図面において同一の構成要素には同一の符号を付すことにより、重複する説明は省略する。

【0012】図1はそのプロセスを示す工程別の断面図である。まず、先の特許出願に示されたのと同様にし、ガラスなどの基板10上にポリシリコンなどの半導体薄膜1およびゲート絶縁膜2を形成し、チャネル領域にタンタルのゲート電極3と $\text{SiO}_2$ の絶縁膜71との二層構造を形成する。(図1(a)参照)。次に、この絶縁膜71とゲート電極3をマスクとして、ドナーあるいはアクセプタとなる不純物を添加することにより、ポリシリコンの半導体薄膜1にソース領域1Sおよびドレイン領域1Dを自己整合的に形成する。

【0013】次に、 $\text{SiO}_2$ の絶縁膜71をマスクとし、タンタルのゲート電極3の側壁を陽極酸化することにより、 $\text{Ta}_2\text{O}_5$ の絶縁膜31を形成する(同図(b)参照)。すると、ゲート電極3は細らされることになるので、自己整合的に形成されたドナーあるいはアクセプタとなる不純物を添加した領域は、ゲート電極3から一定の距離だけオフセットする。しかる後、全面に $\text{SiO}_2$ の絶縁膜7を堆積する(同図(c)参照)。

【0014】次に、レジストマスクをフォトリソグラフィにより形成し(図示せず)、これを用いて $\text{SiO}_2$ の絶縁膜7にコンタクト用の開孔を形成する。すると、ソース、ドレインおよびゲート電極の形成領域で $\text{SiO}_2$ の絶縁膜71と $\text{SiO}_2$ のゲート絶縁膜2のエッチングが同時になされる(同図(d)参照)。

【0015】このように $\text{SiO}_2$ のみに蝕刻性を有するエッチャントを用いてエッチングを行なえば、ソースおよびドレイン電極とコンタクトされるべき半導体薄膜1と、ゲート電極3が共に露出する。その後、オーミック電極(図示せず)をコンタクト開孔に埋め込めば、本発明の薄膜トランジスタが出来上がる。

【0016】本発明については、種々の変形が可能である。例えば、ゲート電極3として用い得る材料としては、アルミニウムやニオブでもよく、タンタルと同様に陽極酸化が行なえる。また、陽極酸化膜の薄膜厚は、印加電圧によってコントロールできるので、種々のオフセット量によって種々の薄膜トランジスタの特性を実現できる。また、エッチングされるゲート絶縁膜2、上面の絶縁膜7およびゲート電極3上の絶縁膜71は、 $\text{SiO}_2$ に限らず、ゲート電極3および半導体薄膜1と選択エッチングが可能なものであれば、種々の物質を用い得る。

【0017】さらに、前述の実施例において、タンタルのゲート電極3をパターニングし、その後ドナー、アクセプタとなる不純物添加をすることなく陽極酸化し、この陽極酸化による $\text{Ta}_2\text{O}_5$ の絶縁膜31とゲート電極3をマスクとしてイオン注入してもよい。この場合にも、いわゆるオフセット構造となり、同様の効果が得られる。

#### 【0018】

【発明の効果】以上、詳細に説明した通り本発明では、

ドナーあるいはアクセプタとなる不純物を添加した半導体薄膜に対して、ゲート電極が所定量だけオフセットされるので、薄膜トランジスタのオフ電流の低減が可能になる。そして、例えば酸化シリコンからなる第3の絶縁膜を設けたので、これがコンタクト開孔プロセスにおいてゲート絶縁膜と同時にエッチングされることになり、従って製造プロセス中において、すでに確立された従来のコンタクト開孔プロセスを使用することが可能になる。このため、製造上の歩留りを向上させ、低コスト化を図ることができる。

# 【図面の簡単な説明】

【図1】実施例の薄膜トランジスタを製造するプロセス図である。

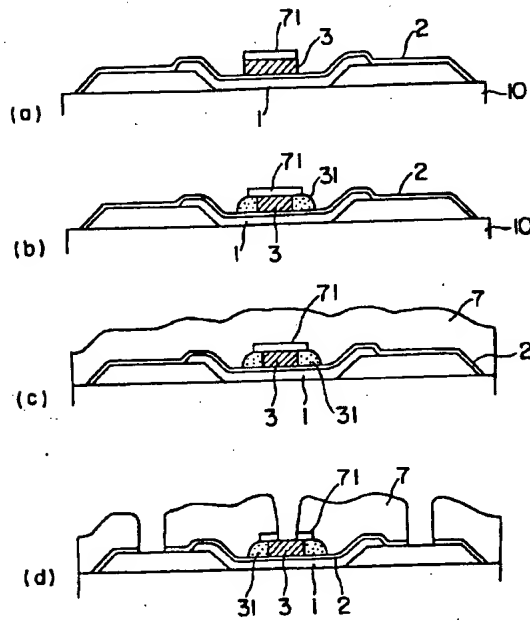
【図2】従来技術および先願の技術の説明図である。

【図3】先願の技術の問題点を示すプロセス図である。

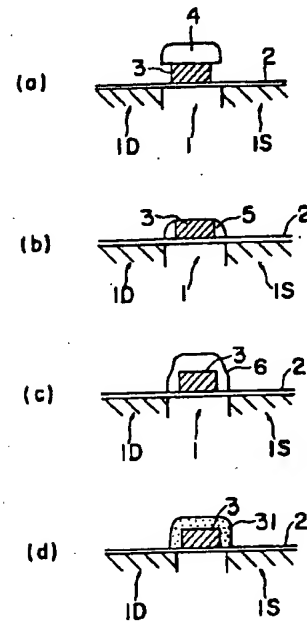
# 【符号の説明】

1…半導体薄膜、2…ゲート絶縁膜、3…ゲート電極、31… $Ta_2O_5$ の絶縁膜、10…基板、7… $SiO_2$ の絶縁膜、71… $SiO_2$ の絶縁膜

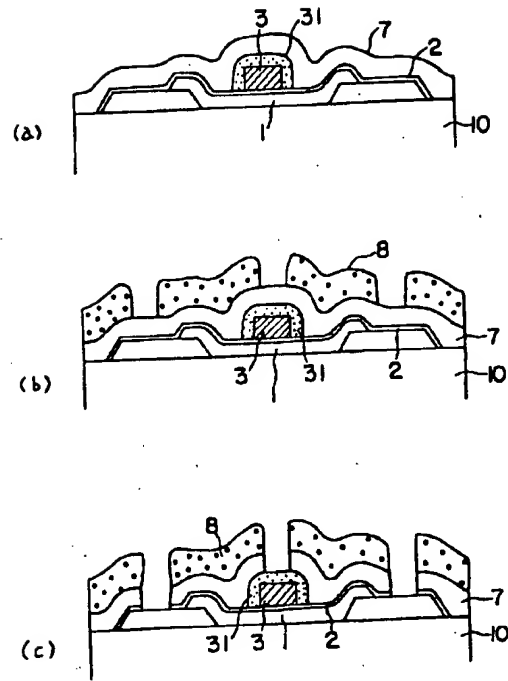
【図1】



【図2】



【図3】



- (19) Japan Patent Office (JP)  
(12) Publication of Patent Application (A)  
(11) Publication Number of Patent Application: Hei-5-206466  
(43) Date of Publication of Application: August 13, 1993  
(51) Int.Cl.<sup>5</sup>

H01L 29/784

27/12

Identification Number

Intraoffice Reference Number

8728-4M

9056-4M

FI H01L 29/78 311 N

Request for Examination: not made

Number of Claims: 4 (5 pages in total)

(21) Application Number: Hei-4-12263

(22) Application Date: January 27, 1992

(71) Applicant: 000002369

SEIKO EPSON Corporation

4-1 Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo

(72) Inventor: Satoshi Inoue

c/o SEIKO EPSON Corporation

3-5 Yamato 3-chome Suwa-shi, Nagano

(74) Agent: Patent Attorney, Yoshiki Hasegawa (other 3)

(54) [Title of the Invention] Thin-Film Transistor and Method



of Fabricating Same

(57) [Abstract]

[Object] It is intended to reduce the OFF current of a thin-film transistor and to facilitate the contact hole formation process.

[Configuration] According to a thin-film transistor of the present invention, a gate electrode is offset by a given amount with respect to a semiconductor thin film doped with a dopant becoming a donor or acceptor by anodic oxidation. Therefore, the OFF current can be reduced. And, a third insulation film consisting, for example, of silicon oxide is formed on the gate electrode. Consequently, this is etched simultaneously with the gate insulation film during the contact hole formation process. Hence, the conventional contact hole formation process can be used.

[Claims]

[Claim 1] A thin-film transistor comprising:

a semiconductor thin film that is to form source, drain, and channel regions;

a first insulation film which is formed on the semiconductor thin film and which is to form a gate insulation film;

a gate electrode formed over said semiconductor thin film in said channel region via said first insulation film;

a second insulation film formed so as to cover the side

surface of the gate electrode;

a third insulation film formed on said gate electrode and on said second insulation film, the third insulation film being made of the same material as said first insulation film; and

a fourth insulation film formed on said first, second, and third insulation films;

wherein the region of said semiconductor thin film doped with the dopant becoming a donor or acceptor and said gate electrode are spaced from each other by a distance smaller than the thickness of said second insulation film.

[Claim 2] The thin-film transistor as set forth in claim 1, wherein said second insulation film has been formed by oxidizing the sidewall of said gate electrode itself.

[Claim 3] A method of fabricating a thin-film transistor, comprising the steps of:

performing a first step consisting of successively forming a semiconductor thin film that is to form source, drain, and channel regions, a first insulation film which is formed on the semiconductor thin film and which is to form a gate insulation film, a gate electrode formed over said semiconductor thin film in said channel region via the first insulation film, and a third insulation film formed on the top surface of the gate electrode and made of the same material as said first insulation film;

performing a second step consisting of implanting a dopant becoming a donor or acceptor into said semiconductor thin film while using said gate electrode as a mask;

performing a third step consisting of oxidizing the sidewall of said gate electrode itself to form a second insulation film;

performing a fourth step consisting of forming a fourth insulation film on said first, second, and third insulation films; and

performing a fifth step consisting of etching said first, third, and fourth insulation films in contact regions for the source, drain, and gate electrodes to thereby expose the semiconductor thin film and said gate electrode.

[Claim 4] A method of fabricating a thin-film transistor as set forth in claim 3,

wherein said semiconductor thin film is made of silicon, wherein said first, third, and fourth insulation films are made of silicon oxide, and

wherein said second insulation film is made of tantalum oxide obtained by anodically oxidizing the sidewall of the gate electrode consisting of tantalum.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Application]

The present invention relates to thin-film transistors

(TFTs) used for active-matrix type liquid crystal displays (LCDs) and memory integrated circuits and also to a method of fabricating them.

[0002]

[Prior Art]

In thin-film transistors, it is important to reduce so-called OFF currents. Various procedures have been heretofore attempted as in Fig. 2. In (a) of this figure, a gate insulation film 2 is formed on a semiconductor thin film 1. A source region 1S and a drain 1D are formed by ion implantation via a gate electrode 3 and a masking material 4 formed on the gate insulation film. Then, the gate electrode 3 is etched to thin it. According to this, an offset corresponding to the etched portion of the gate electrode 3 is obtained. In consequence, the OFF current can be reduced.

[0003]

In (b) of this figure, an insulation film 5 is formed on the sidewall of the gate electrode 3 and ion implantation is done to thereby realize an offset structure or LDD structure. In (c) of the figure, a masking material 6 is provided and ion implantation is done to thereby give a distance between the gate electrode 3 and the source region 1S/drain region 1D. In any case, the OFF current can be reduced.

[0004]

Incidentally, the present applicant has filed a novel

technique for a patent application (May 8, 1991; not yet laid open to public inspection). This technique uses tantalum as the gate electrode 3 in realizing such an offset structure or LDD structure. Then, it is anodically oxidized. Fig. 2(d) shows this. That is, the gate electrode 3 is first formed on the gate insulation film 2. Using it as a mask, ion implantation is done to thereby form source region 1S and drain region 1D consisting of the semiconductor thin film 1 doped with a dopant. Thereafter, an insulation film 31 of  $Ta_2O_5$  is formed by anodic oxidation. The gate electrode 3 is thinned. Thus, an offset structure is obtained.

[0005]

[Problem that the Invention is to Solve]

The technique of the above-described patent application has the problem that the contact hole formation process is made difficult. This is described using the process diagram of Fig. 3. First, the semiconductor thin film 1 made of polysilicon is formed on a substrate 10 made of glass or the like, thus forming a gate insulation film 2. Then, a gate electrode 3 made of tantalum is formed. Using this as a mask, ion implantation is conducted. Then, the gate electrode 3 is anodically oxidized to form an insulation film 31 of  $Ta_2O_5$ . An insulation film 7 of  $SiO_2$  is formed over the whole surface (see (a) of the figure).

[0006]

Then, a resist film 8 is applied and patterned to form contact holes (see (b) of the figure). The insulation film 7 of  $\text{SiO}_2$  is etched. Thus, the semiconductor thin film 1 in the source region 1S and drain region 1D and the insulation film 31 of  $\text{Ta}_2\text{O}_5$  are exposed. As a result, contacts can be made.

[0007]

However, the etching of the insulation film 31 of  $\text{Ta}_2\text{O}_5$  is CDE (chemical vapor phase etching) using  $\text{CF}_4/\text{O}_2$ . Therefore, the polysilicon forming the source region 1S and drain region 1D is etched simultaneously with the insulation film 31 of  $\text{Ta}_2\text{O}_5$ . Consequently, there is the drawback that the contact hole formation process established from the past cannot be used. It is the object of the present invention to solve this problem with the prior art.

[0008]

[Means for Solving the Problem]

A thin-film transistor according to the present invention comprises: a semiconductor thin film that is to form source, drain, and channel regions; a first insulation film which is formed on the semiconductor thin film and which is to form a gate insulation film; a gate electrode formed over said semiconductor thin film in said channel region via the first insulation film; a second insulation film formed so as to cover the side surface of the gate electrode; a third insulation

film formed on said gate electrode and on said second insulation film, the third insulation film being made of the same material as said first insulation film and being formed on the gate electrode and the second insulation film; and a fourth insulation film formed on said first, second, and third insulation films. The region of said semiconductor thin film doped with the dopant becoming a donor or acceptor and said gate electrode are spaced from each other by a distance smaller than the thickness of said second insulation film.

[0009]

A method of fabricating a thin-film transistor in accordance with the present invention comprises the steps of: performing a first step consisting of successively forming a semiconductor thin film that is to form source, drain, and channel regions, a first insulation film which is formed on the semiconductor thin film and which is to form a gate insulation film, a gate electrode formed over said semiconductor thin film in said channel region via the first insulation film, and a third insulation film formed on the top surface of the gate electrode and made of the same material as said first insulation film; performing a second step consisting of implanting a dopant becoming a donor or acceptor into the semiconductor thin film while using the gate electrode as a mask; performing a third step consisting of oxidizing the sidewall of the gate electrode itself to form a second insulation

film; performing a fourth step consisting of forming a fourth insulation film on the first, second, and third insulation films; and performing a fifth step consisting of etching the first, third, and fourth insulation films in contact regions for the source, drain, and gate electrodes to thereby expose the semiconductor thin film and the gate electrode. Preferably, the semiconductor thin film is made of silicon. The first, third, and fourth insulation films are made of silicon oxide, and the second insulation film is made of tantalum oxide obtained by anodically oxidizing the sidewall of the gate electrode consisting of tantalum.

[0010]

[Operation]

According to the thin-film transistor of the present invention, the gate electrode is offset by a given amount with respect to the semiconductor thin film doped with the dopant becoming a donor or acceptor and so the OFF current can be reduced. The third insulation film made of silicon oxide, for example, is formed on the top surface of the gate electrode. Consequently, this acts to be etched simultaneously with the gate insulation film during the contact hole formation process. Accordingly, in the fabrication sequence, the conventional contact hole formation process can be used.

[0011]

[Embodiment]



An embodiment of the present invention is hereinafter described using the accompanying drawings. Note that identical constitutive elements are given by identical symbols in the drawings and thus repeated description is omitted.

[0012]

Fig. 1 is a cross-sectional view of separate steps showing the process. First, in the same way as shown in the above-cited patent application, a semiconductor thin film 1 of polysilicon or the like and a gate insulation film 2 are formed on a substrate 10 as made of glass. A two-layer structure consisting of a gate electrode 3 of tantalum and an insulation film 71 of  $\text{SiO}_2$  is formed in a channel region (see Fig. 1(a)). Then, using this insulation film 71 and the gate electrode 3 as a mask, a dopant becoming a donor or acceptor is implanted. Thus, a source region 1S and a drain region 1D are formed in the semiconductor thin film 1 of polysilicon in a self-aligned manner.

[0013]

Then, using the insulation film 71 of  $\text{SiO}_2$  as a mask, the sidewall of the gate electrode 3 of tantalum is anodically oxidized, thus forming an insulation film 31 of  $\text{Ta}_2\text{O}_5$  (see (b) of the figure). It follows that the gate electrode 3 is thinned. Consequently, the region formed in a self-aligned manner and doped with a dopant becoming a donor or acceptor is offset from the gate electrode 3 by a given distance.

Thereafter, an insulation film 7 of  $\text{SiO}_2$  is deposited over the whole surface (see (c) of the figure).

[0014]

Then, a resist mask (not shown) is formed by photolithography. Using this, open holes for contacts are formed in the insulation film 7 of  $\text{SiO}_2$ . As a result, the insulation film 71 of  $\text{SiO}_2$  and gate insulation film 2 of  $\text{SiO}_2$  are etched simultaneously in regions where source, drain, and gate electrodes are formed (see (d) of the figure).

[0015]

If etching is done using an etchant capable of etching only  $\text{SiO}_2$  in this way, the semiconductor thin film 1 to be contacted with source and drain electrodes is exposed, together with the gate electrode 3. Then, ohmic electrodes (not shown) are buried into the contact open holes, thus completing the thin-film transistor of the present invention.

[0016]

The present invention can be modified variously. For example, the material used as the gate electrode 3 may be aluminum or niobium. Anodic oxidation may be done in the same way as in the case of tantalum. Since the thin film thickness of the anodic oxide film can be controlled by the applied voltage, various thin-film transistor characteristics can be accomplished by various amounts of offset. Furthermore, the gate insulation film 2, insulation film 7 on the top surface,

and insulation film 71 on the gate electrode 3 to be etched are of not limited to  $\text{SiO}_2$ . Various substances can be used as long as selective etching of the gate electrode 3 and semiconductor thin film 1 can be done.

[0017]

Furthermore, in the above-described embodiment, the tantalum gate electrode 3 may be patterned, and then anodic oxidation may be conducted without implanting a dopant becoming a donor or acceptor. Using the insulation film 31 of  $\text{Ta}_2\text{O}_5$  and gate electrode 3 owing to the anodic oxidation as a mask, ion implantation may be done. Also, in this case, a so-called offset structure results. Similar effects are produced.

[0018]

#### [Advantages of the Invention]

As described in detail thus far, in the present invention, the gate electrode is offset with respect to the semiconductor thin film doped with a dopant becoming a donor or acceptor by a given amount. Therefore, the OFF current of the thin-film transistor can be reduced. And, the third insulation film made of silicon oxide, for example, is formed. This is etched simultaneously with the gate insulation film during the contact hole formation process. Accordingly, in the fabrication process, the conventional contact hole formation process already established can be used. Consequently, the fabrication yield can be improved, and the cost can be reduced.

[Brief Description of the Drawings]

[Fig. 1] Fig. 1 is a diagram of a process for fabricating a thin-film transistor of an embodiment;

[Fig. 2] Fig. 2 is a view illustrating the prior art and a technique of a prior patent application; and

[Fig. 3] Fig. 3 is a process diagram showing the problem with the technique of the prior patent application.

[Description of Symbols]

1: semiconductor thin film; 2: gate insulation film; 3: gate electrode; 31: insulation film 31 of  $Ta_2O_5$ ; 10: substrate; 7: insulation film of  $SiO_2$ ; 71: insulation film of  $SiO_2$